

PAT-NO: JP406069210A

DOCUMENT-IDENTIFIER: JP 06069210 A

TITLE: INTEGRATED CIRCUIT

PUBN-DATE: March 11, 1994

INVENTOR- INFORMATION:

NAME

OGASAWARA, HIROSHI

UENO, MASAYUKI

INT-CL (IPC): H01L021/3205, H01L027/04

US-CL-CURRENT: 257/630

ABSTRACT:

PURPOSE: To prevent the signal of a certain circuit part within an integrated circuit from being induced into another circuit part within the integrated circuit as noise and also to prevent a short circuit fault due to a pin hole and a crack and at the same time to reduce the characteristic deterioration due to parasitic capacitance mainly in a signal line.

CONSTITUTION: A ladder-like shield electrode 30 insulates a signal line 20. The ladder-like shield electrode 30 is constituted of parallel wiring parts in parallel with the signal line 20 and a plurality of step wiring parts to interconnect the parallel wiring parts. The step wiring parts cross the signal line 20 in being electrically insulated from the signal line 20. The ladder-like wiring 30 is connected with a ground wiring. The area of the crossing part of the signal line and the ladder-like shield electrode 30 is reduced, so that a short-circuiting fault due to a pin hole and a crack and also characteristic deterioration due to parasitic capacitance may be reduced with shielding effect being maintained.

COPYRIGHT: (C)1994,JPO&Japio

----- KWIC -----

Abstract Text - FPAR (2):

CONSTITUTION: A ladder-like shield electrode 30 insulates a signal line 20. The ladder-like shield electrode 30 is constituted of parallel wiring parts in parallel with the signal line 20 and a plurality of step wiring parts to interconnect the parallel wiring parts. The step wiring parts cross the signal line 20 in being electrically insulated from the signal line 20. The ladder-like wiring 30 is connected with a ground wiring. The area of the crossing part of the signal line and the ladder-like shield electrode 30 is reduced, so that a short-circuiting fault due to a pin hole and a crack and also characteristic deterioration due to parasitic capacitance may be reduced with shielding effect being maintained.

Inventor Name ( Derived ) - INZZ (2):

UENO, MASAYUKI

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-69210

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl.<sup>5</sup>  
H 01 L 21/3205  
27/04

識別記号 庁内整理番号  
D 8427-4M  
E 8427-4M  
7514-4M

F I  
H 01 L 21/ 88  
S

技術表示箇所

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平4-222414

(22)出願日 平成4年(1992)8月21日

(71)出願人 000001258

川崎製鉄株式会社  
兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 小笠原 寛

東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内

(72)発明者 植野 雅之

東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内

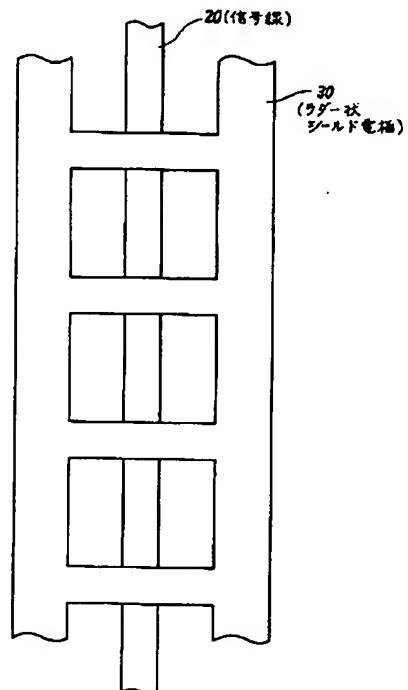
(74)代理人 弁理士 高矢 諭 (外2名)

(54)【発明の名称】 集積回路

(57)【要約】

【目的】 主として信号線について、集積回路内のある回路部分の信号が、該集積回路内の他の回路部分へと、ノイズとして誘導されてしまうこと、ピンホールやクラックによる短絡不良、寄生容量による特性劣化を低減する。

【構成】 ラダー状シールド電極30は、信号線20をシールドする。該ラダー状シールド電極30は、前記信号線20に平行な平行配線部分と、これら平行配線部分を接続する多数のステップ配線部分とで構成される。該ステップ配線部分は、電気的に絶縁された状態で前記信号線20と交差する。前記ラダー状シールド電極30は、グラント配線に接続される。前記信号線と前記ラダー状シールド電極30との交差部分の面積が減少されており、シールド効果を確保しながら、ピンホールやクラックによる短絡不良や、寄生容量による特性劣化を低減することができる。



## 【特許請求の範囲】

【請求項1】所定の基板上に作り込まれた素子間を、複数の配線層それぞれに作り込まれた配線を用いて接続して形成された回路が組み込まれた集積回路において、シールド対象信号線とは電気的に絶縁されている、該シールド対象信号線に対して平行に作り込まれたラダー状シールド電極と、該ラダー状シールド電極を、所定の定電位部位に接続する定電位配線とを備えたことを特徴とする集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、所定の基板上に作り込まれた素子間を、複数の配線層それぞれに作り込まれた配線を用いて接続して形成された回路が組み込まれた集積回路に係り、特に、集積回路内のある回路部分の信号が、該集積回路内の他の回路部分へと、ノイズとして誘導されてしまうことを低減することができる集積回路に関する。

## 【0002】

【従来の技術】従来から、集積回路内の回路部分が相互に干渉し合い、ノイズが発生してしまう恐れがあることが知られている。このようなノイズが発生してしまうと、各回路部分の性能が劣化してしまう。又、单一の基板上に所定の回路が組み込まれた集積回路においては、混在する各回路部分が、該单一の基板上で相互に干渉し合い、性能劣化や信頼性の低下などの問題が生じてしまう恐れがあることが知られている。

【0003】このため、特開平1-206646では、デジタル回路群とそれ以外の回路群、例えばアナログ回路群とが混在する集積回路における、回路群相互間の干渉を低減するという技術が開示されている。該特開平1-206646で開示されている技術は、前記デジタル回路群の領域とその他の回路群との間に、所定のバイアス電圧源に接続されたP型ウェル領域又はN型ウェル領域を形成するというものである。該ウェル領域は、その表面部に高濃度不純物層が形成されたものである。該特開平1-206646によれば、单一の基板上に作られたデジタル回路群とその他の回路群との間の相互干渉を低減することができる。

【0004】又、従来、デジタル回路が組み込まれている单一の集積回路において、アナログ回路部分を設ける際、該アナログ回路部分の最上層の導電膜全面をシールド電極として用いるということが行われている。これにより、周囲のデジタル回路からの該アナログ回路部分へのノイズの飛び込みを低減することができる。

【0005】又、特開平2-162755では、同一半導体基板上にデジタル回路とアナログ回路とが多層配線を用いて形成された集積回路における、前記デジタル回路から前記アナログ回路へのノイズ飛び込みを防止する、最上層導電膜で形成されたシールド電極に関する技

術が開示されている。該特開平2-162755で開示されている技術は、前述のような最上層導電膜で形成されたシールド電極に、島状又はチャネル状の欠落部を設けるという技術が開示されている。該特開平2-162755によれば、層間絶縁膜にピンホールやクラックなどがあつても、アナログ回路が短絡不良となる割合が極めて少なく、寄生容量によるアナログ回路の特性劣化の少ない集積回路を提供することができる。

## 【0006】

10 【発明が達成しようとする課題】しかしながら、前記特開平2-162755で開示されている技術など、所定の配線層を用いてシールド電極を形成するという技術は、前述のようなアナログ部分など、平面的な所定の面積を有する回路部分をシールドするというものであつた。

【0007】近年、集積回路の集積度が向上し、集積回路内部に組み込まれる回路の微細化が進むに連れ、集積回路内のノイズの問題が増大している。又、このような微細化が進むに連れ、集積回路内の回路部分のうち、信号線に関するノイズの誘導の問題も増大している。これは、デジタル信号線やアナログ信号線などの信号線間でノイズが誘導されてしまうという問題である。あるいは、デジタル信号線やアナログ信号線などの信号線から、デジタル回路部分やアナログ回路部分などへノイズが誘導されてしまったり、これとは逆に、デジタル回路部分やアナログ回路部分から、デジタル信号線やアナログ信号線などの信号線へとノイズが誘導されてしまうという問題である。

【0008】前記特開平2-162755で開示されている技術では、このような信号線に関するノイズ誘導の問題を解消するためのシールド電極に関して、ピンホールやクラックなどによる短絡不良の減少や、寄生容量によるアナログ回路の特性劣化を減少させることは極めて困難である。該特開平2-162755では、シールド電極に島状又はチャネル状の欠落部を設けるというものであるが、デジタル信号線やアナログ信号線などの直線状の部分をシールドするシールド電極に、この技術を適用することは極めて困難である。

【0009】本発明は、前記従来の問題点を解決すべく成されたもので、主として信号線について、集積回路内のある回路部分の信号が、該集積回路内の他の回路部分へと、ノイズとして誘導されてしまうことを低減することができる集積回路を提供することを目的とする。

## 【0010】

【課題を達成するための手段】本発明は、所定の基板上に作り込まれた素子間を、複数の配線層それぞれに作り込まれた配線を用いて接続して形成された回路が組み込まれた集積回路において、シールド対象信号線とは電気的に絶縁されている、該シールド対象信号線に対して平行に作り込まれたラダー状シールド電極と、該ラダー状シ

ールド電極を、所定の定電位部位に接続する定電位配線とを備えたことにより、前記課題を達成したものである。

【0011】

【作用】本発明は、デジタル信号線やアナログ信号線などの信号線から、電磁誘導や静電誘導、更には電磁波の輻射によるノイズ発生を低減するために、ノイズ発生源のこのような信号線をシールドするシールド電極のより最適な形状について検討しなされたものである。あるいは、電磁誘導や静電誘導、更には電磁波の輻射による他の信号線や回路部分で発生してしまったノイズから、デジタル信号線やアナログ信号線などの信号線にノイズが誘導されてしまうことを防止するため、このようなノイズから保護する側の信号線でのシールドに用いるシールド電極の形状について検討しなされたものである。

【0012】即ち、本発明は、このようなデジタル信号線やアナログ信号線のシールドに用いるシールド電極について、ピンホールやクラックによる短絡不良や、寄生容量による特性劣化を低減するため、該シールド電極のより最適な形状について検討して成されたものである。この結果、本発明では、信号線のシールドに用いるシールド電極の形状を、ラダー状の形状とするようにしている。

【0013】図1は、本発明の要旨を示す集積回路平面図である。

【0014】この図1において、信号線20は、シールド対象信号線である。又、該信号線20のシールドに、ラダー状シールド電極30が用いられている。該ラダー状シールド電極30は、集積回路内の他の部分で発生したノイズが前記信号線へ飛び込んでしまうのを防止するために用いられる。あるいは、該ラダー状シールド電極30は、前記信号線20からノイズが発生してしまうのを防止するために用いられている。

【0015】該ラダー状シールド電極30の形状は、シールド対象の前記信号線20に対して平行あるいはほぼ平行な、少なくとも2本以上の平行配線部分と、前記信号線20と電気的に絶縁されながら交差するステップ配線部分とにより構成されている。これら平行配線部分とステップ配線部分とは互いに電気的に接続されている。又、前記ステップ配線部分は、シールド効果が保持できる程度の間隔で多数設けられている。

【0016】なお、これら平行配線部分及びステップ配線部分は、共に同一の配線層に作り込まれたものであってもよく、あるいは、互いに異なる別の配線層に作り込まれたものであってもよい。異なる配線層に作り込まれたものであっても、相互にコンタクトなどによって電気的に接続されればよい。又、前記平行配線部分を前記信号線20と同一の配線層に作り込み、前記ステップ配線部分のみを異なる配線層に作り込んでもよい。この場合には、前記平行配線部分と前記ステップ配線部分と

は、コンタクトにより電気的に接続する。

【0017】なお、前記ラダー状シールド電極30は、この図1には図示されない所定の定電位配線により、所定の定電位部位に接続されている。該定電位部位は、例えば、低インピーダンスの電圧源の電源配線やグランド配線などである。本発明は、前記定電位配線の形状や前記定電位部位を具体的に限定するものではない。

【0018】なお、本発明においてシールド対象となる前記信号線20は、この図1に示されるような直線形状のものに限定されるものではない。該信号線20は、曲線形状であってもよく、あるいは直角などの所定の角度で曲がるものであってもよい。この場合には、このような形状の信号線20に平行となるように、前記ラダー状シールド電極30を作り込めばよい。

【0019】以上説明した通り、本発明によれば、主として信号線についてのノイズ誘導の問題を低減することができる。又、ピンホールやクラックによる短絡不良や、寄生容量による特性劣化を低減することができる。これは、前記信号線20と前記ラダー状シールド電極30との交差部分の面積が、前記ステップ配線部分の一部分のみとなっており、シールド効果を確保できる範囲で減少されているためである。

【0020】

【実施例】以下、図を用いて本発明の実施例を詳細に説明する。

【0021】図2は、本発明が適用された集積回路の集積回路チップの平面図である。

【0022】この図2において、集積回路チップ1には、アナログ回路部3と、デジタル回路部5a及び5bが作り込まれている。これらアナログ回路部3及びデジタル回路部5a、5bそれぞれにおいては、最上層の配線層を用いて、網目状シールド電極7が形成されている。

【0023】前記アナログ回路部3など、当該集積回路チップ1に作り込まれているアナログ回路の電源系統と、前記デジタル回路部5a及び5bなど、当該集積回路チップ1に作り込まれているデジタル回路の電源系統とは分離されている。又、前記アナログ回路部3の最上層の配線層に作り込まれた網目状シールド電極7は、該アナログ回路部3に用いられている電源系統のグランドに接続されている。又、前記デジタル回路部5a及び5bそれぞれの最上層の配線層に作り込まれたそれぞれの網目状シールド電極7は、それぞれ、デジタル回路に用いる電源系統のグランドに接続されている。

【0024】このような集積回路チップ1において、信号線21により、前記アナログ回路部3中のA点から前記デジタル回路部5a中のB点へと、アナログ信号が伝達されている。即ち、該信号線21は、アナログ信号線である。該信号線21については、他の回路部分、特に他のデジタル回路部分からのノイズの飛び込みを低減しなければならない。このため、該信号線21において

は、図3～図5を用いて後述するように、本発明が適用されたシールドが成されている。

【0025】一方、このような集積回路チップ1において、信号線22を用いて、前記デジタル回路部5a中のC点から前記デジタル回路部5b中のD点へと、デジタル信号が伝達されている。該信号線22は、合計4本のデジタル信号線により構成されたものである。該信号線22にて伝達されるデジタル信号は伝達速度が高速化されており、L状態からH状態へと、あるいはH状態からL状態へと変化する際の信号電流も多く、ノイズ発生源となってしまう恐れがある。即ち、電磁誘導や静電誘導、あるいは電磁波の輻射によって該信号線22からノイズが発生してしまう恐れがある。このため、該信号線22においては、図6を用いて後述するように、本発明が適用されたシールドが成され、そのノイズ発生の低減が図られている。

【0026】図3は、前記実施例のシールドが成された信号線の部分拡大平面図である。

【0027】この図3においては、前記図2の前記信号線21の拡大平面図が示されている。該信号線21は、この図3に示されるように、ラダー状シールド電極11と、ラダー状シールド電極31によりシールドされ、他回路部分からのノイズの飛び込みが低減されている。

【0028】前記信号線21は、前記集積回路チップ1における第1アルミニウム配線層に作り込まれている。前記ラダー状シールド電極11は、前記第1アルミニウム配線層よりも1層だけ下層のポリシリコン層に作り込まれている。前記ラダー状シールド電極31は、前記第1アルミニウム配線層よりも1層だけ上層の第2アルミニウム配線層に作り込まれている。これらラダー状シールド電極11及び31は、いずれも、前記図1を用いて前述したような、それぞれ合計2本の平行配線部分と、電気的に絶縁された状態で前記信号線21と交差する形態で多数設けられた、それぞれの合計2本の前記平行配線部分を接続する前記ステップ配線部分とにより構成されており、ラダー状の形状となっている。

【0029】又、この図3の平面図に示される如く、前記ラダー状シールド電極11の前記平行配線部分と、前記ラダー状シールド電極31の前記平行配線部分とは、前記集積回路チップ1上での平面的な位置がずらされて作り込まれている。即ち、前記ラダー状シールド電極11は、幅方向について、前記ラダー状シールド電極31の内側に作り込まれている。

【0030】このように、前記信号線21と前記ラダー状シールド電極11との交差部分、前記信号線21と前記ラダー状シールド電極31との交差部分、あるいは、前記ラダー状シールド電極11と前記ラダー状シールド電極31との交差部分の面積は、いずれも少なくされている。これにより、ピンホールやクラックによる、これら信号線21、ラダー状シールド電極11及びラダー状

シールド電極31間の短絡不良の発生してしまう度合が低減されている。又、これら信号線21、ラダー状シールド電極11及びラダー状シールド電極31間の寄生容量による特性劣化も低減されている。

【0031】なお、前記信号線21に用いられるシールド電極はいずれもラダー状の形状とされているが、それぞれのシールド電極のステップ配線部分の配置間隔がある程度細かくなっているので、シールド効果は確保されている。シールド対象となるノイズの周波数成分は高々

10 100MHz程度以下の成分が主であると思われる。ここで、シールド対象となるノイズに1GHzの周波数成分が含まれていたとしても、その波長は30cmであるので、前記ステップ配線部分の間隔を、例えば100μmであるとすると、該ステップ配線部分の間隔は波長の1/3000であるので、該ノイズを十分に遮断することができる。

【0032】なお、図4は、前記図3のI—I断面の断面図である。又、図5は、前記図3のII-II断面の断面図である。

20 【0033】これら図4及び図5の断面図においては、基板50上に、前記ポリシリコン層に作り込まれた前記ラダー状シールド電極11と、前記第1アルミニウム配線層に作り込まれた前記信号線21と、前記第2アルミニウム配線層に作り込まれた前記ラダー状シールド電極31とが示されている。該基板50上には、前記ポリシリコン層、前記第1アルミニウム配線層、前記第2アルミニウム配線層の順に、順次作り込まれる。

【0034】なお、これら図4及び図5において、前記ポリシリコン層、前記第1アルミニウム配線層及び前記30 第2アルミニウム配線層の、相互の間を電気的に絶縁する層間絶縁膜については、図示が省略されている。

【0035】図6は、前記実施例のシールドが成された信号線の部分平面図である。

【0036】この図6の部分平面図においては、前記図2で示した、前記集積回路チップ1の前記信号線22の部分拡大図が示されている。この図6に示されるように、ノイズ発生源となってしまう恐れのある合計4本の前記信号線22は、ラダー状シールド電極12とラダー状シールド電極32とによりシールドされている。これ40により、これら信号線22からのノイズの発生が低減されている。

【0037】前記ラダー状シールド電極12の形状及び前記ラダー状シールド電極32の形状、及びこれらラダー状シールド電極12及び32相互の位置関係は、前記図3～図5において示される、前述の前記ラダー状シールド電極11や前記ラダー状シールド電極31と同様となっている。例えば、前記ラダー状シールド電極12は、その幅方向について、前記ラダー状シールド電極31の内側に配置されている。又、前記ラダー状シールド電極12は前記ポリシリコン層に作り込まれ、前記信号

線22は前記第1アルミニウム配線層に作り込まれ、前記ラダー状シールド電極32は前記第2アルミニウム配線層に作り込まれている。

【0038】以上説明した通り、本実施例によれば、前記信号線21や前記信号線22などの、前記集積回路チップ1上で比較的長い配線に関するノイズの問題を低減することができる。比較的長い信号線においては、他の配線部分へとノイズを発生し易い。あるいは、比較的長い信号線においては、他の回路部分で発生してしまったノイズが飛び込み易い。しかしながら、前記実施例によれば、このような比較的長い信号線に対して、ピンホールやクラックによる短絡不良や、寄生容量による特性劣化を低減することができるような形状のシールド電極を用いて、効果的にシールドし、ノイズに関する問題を低減することができる。

【0039】

【発明の効果】以上説明した通り、本発明によれば、主として信号線について、集積回路内のある回路部分の信号が、該集積回路内の他の回路部分へと、ノイズとして誘導されてしまうことを低減することができると共に、ピンホールやクラックによる短絡不良や、寄生容量による特性劣化を低減することができるという優れた効果を

得ることができる。

【図面の簡単な説明】

【図1】本発明の要旨を示す集積回路チップの部分拡大平面図

【図2】本発明が適用された集積回路の集積回路チップの平面図

【図3】前記実施例においてシールドされた信号線の第1例の部分拡大平面図

【図4】前記信号線の第1例の部分拡大平面図のI—I断面の断面図

【図5】前記信号線の第1例の部分拡大平面図のII-II断面の断面図

【図6】前記実施例においてシールドされた信号線の第2例の部分拡大平面図

【符号の説明】

1…集積回路チップ

3…アナログ回路部

5a、5b…デジタル回路部

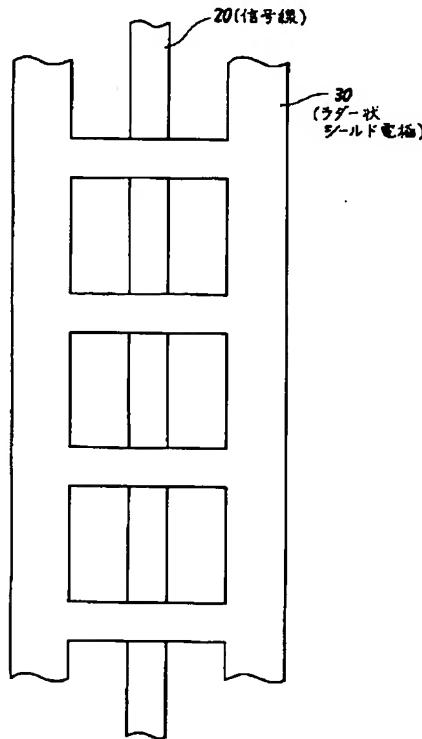
7…網目状シールド電極

20 11、12、30～32…ラダー状シールド電極

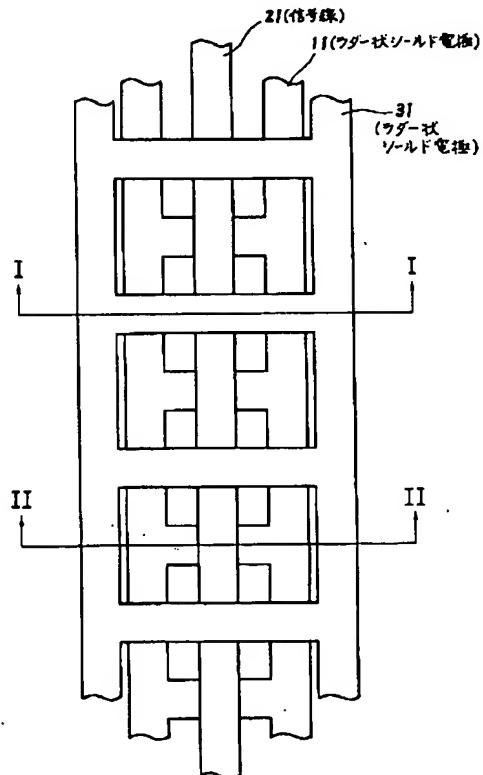
20～22…シールド対象信号線

50…基板

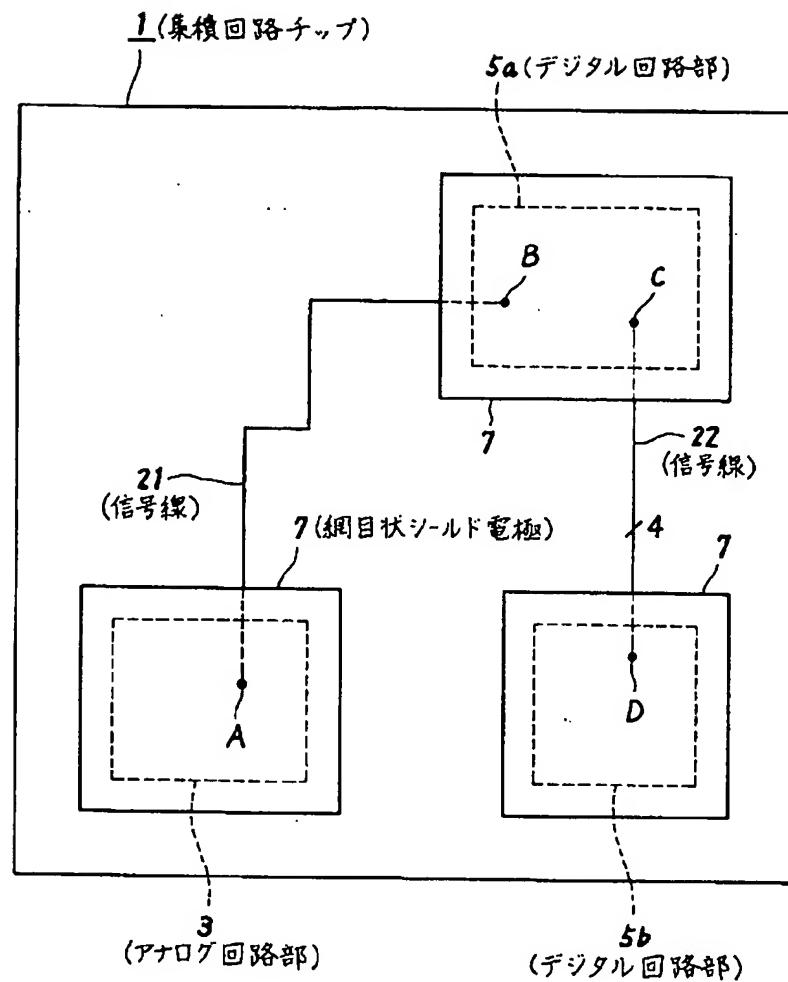
【図1】



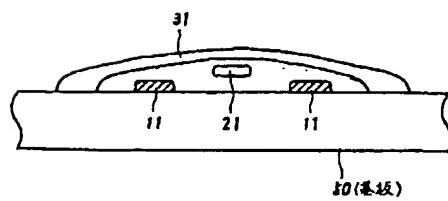
【図3】



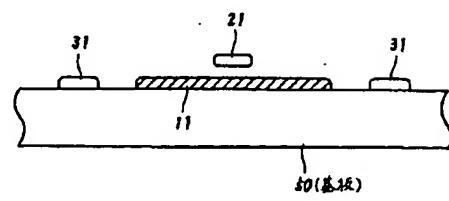
【図2】



【図4】



【図5】



【図6】

